

Concise Statements

Reference (Inventor)	Publication Date	Concise Statements
JP 48-022285 (Hatsukano)	03/20/1973	In a method of manufacturing a MOS semiconductor device, it is disclosed that an insulating film made of SiO <sub>2</sub> film 14 (approximately 1000 Å) is formed on a surface of Si wafer 11 by a thermal oxidation method, and an insulating film made of Si <sub>3</sub> N <sub>4</sub> film 15 (300 ~ 400 Å) is formed on the SiO <sub>2</sub> film 14 by decomposing a mixture gas of SiH <sub>4</sub> and NH <sub>3</sub> . And polycrystalline Si film 16 is formed on the Si <sub>3</sub> N <sub>4</sub> film 15 by decomposing SiH <sub>4</sub> gas.
JP 47-018278 (Mishimagi)	09/13/1972	In a method of manufacturing a semiconductor device, it is disclosed that an insulating film made of SiO <sub>2</sub> film 4 is formed on a Si substrate by a thermal oxidation method. And Si <sub>3</sub> N <sub>4</sub> film 5 is formed on the SiO <sub>2</sub> film 4 by a vapor phase reaction of SiH <sub>4</sub> and NH <sub>3</sub> for example. It is preferable to set a thickness in each of the SiO <sub>2</sub> film 4 and the Si <sub>3</sub> N <sub>4</sub> film 5 to 300 ~ 500 Å, respectively.
→ JP 02-148132 (Aoe)	12/17/1990	In thin film transistors of an active matrix type liquid crystal display device, a drain region 3", a channel region, and a source region 3' are made of a polycrystalline silicon film 3, wherein the silicon film in the channel region and the source region 3' are thinner than the silicon film in the drain region 3".
JP 49-078483 (Hirabayashi)	07/29/1974	In forming an oxide film containing halogen ions on a semiconductor substrate, the halogen ions are introduced by an ion implantation method. Thereby, pinholes in the oxide film can be reduced and quality of the oxide film can be enhanced.

①實用新案出版公司

④ 公開實用新案公報 (U) 平2-148132

©Int. Cl.:

**識別記号**

厅内整理番号

④公開 平成2年(1990)12月17日

G 02 F 1/136  
H 01 L 27/12  
29/784

500

9018-2H  
7514-5F

9058-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 1 (全 頁)

④考案の名称 薄膜トランジスタ

⑦突 顯 平1-56633

②出 願 平 1 (1989) 5 月 17 日

⑦考 案 者 青 江 弘 行 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑦出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地  
 ⑦代 理 人 弁理士 西野 卓 銅 外2名

明 細 書

1. 考案の名称

薄膜トランジスタ

2. 実用新案登録請求の範囲

(1) ドレインに画像信号を入力し、ソースに表示画素電極を結合した薄膜トランジスタに於いて、ドレイン領域、チャンネル領域、ソース領域を連続した多結晶シリコン膜で形成し、上記ドレイン領域の多結晶シリコン膜厚さ $0.8\mu\text{m}$ 以上とすると共に、上記チャンネル領域並びにソース領域の多結晶シリコン膜をドレイン領域より薄く形成した事の特徴とする薄膜トランジスタ。

3. 考案の詳細な説明

(イ) 産業上の利用分野

アクティブ・マトリクス方式の液晶ディスプレイに使用される薄膜トランジスタ（以下TFTと記す）に関する。

(ロ) 従来の技術

多結晶シリコン膜を用いたTFTは液晶ディスプレイのスイッチング素子として、多くの研究機

435

実開2-148132

## 公開実用平成 2—148132

関で研究開発が行われている。液晶ディスプレイは高精度、画面の大型化に向けて、特にTFTの製造歩留りの向上、低コスト化が大きい課題となっている。

例えば、IEDM87、講演番号18.1、P436に記載のTFTでは、

- ① TFTのチャンネル領域、ソース及びドレイン領域は一層の多結晶シリコン膜で形成され、
- ② 外部からの画像信号はAl配線によりTFTのソース側に供給される。

さらに、例えば、文献信学技報EID87-57、P33に記載のTFTでは、

- ① TFTのチャンネル領域は一層の多結晶シリコン、ソース及びドレイン領域は別の多結晶シリコン層により形成され、
- ② 外部からの画像信号は前記従来例と同様にAl配線によりTFTに供給される。

これ等の例では画像信号はAl配線によりTFTに供給されているが、TFT製造コストを低減するためには、製造プロセスを削減することが求め

られる。

(ハ) 考案が解決しようとする課題

本考案は、TFTの製造プロセスを削減するため、従来のAl配線に替えて、低抵抗の多結晶シリコン膜を配線材料として使用する際、これに伴う問題点の解決が図れるTFT構造を提供するものである。

多結晶シリコン膜を配線材料として使用する場合、画素寸法の面から、配線幅は10 $\mu$ m程度以下にする必要があり、また配線抵抗の面から膜厚は少なくとも0.8 $\mu$ m程度が必要である。この場合、第3図の平面図、及び第2図の断面図（第3図のX-X線断面）に示すように、透明表示電極(6)とTFTのソース側(3')の接続部に於て、多結晶シリコン膜端部での段差が大きく、透明表示電極が断線する場合があります。TFT製造プロセスの歩留りを下げる大きな要因となっていた。

ここで透明表示電極の断線を防ぐために、

① ITO膜からなる透明電極を多結晶シリコン膜の下層に設置することも考えられるが、IT

## 公開実用半成 2-148132

○膜が多結晶シリコン成膜時に変質することから採用できない。

また② ITO膜を多結晶シリコン膜厚と同程度に厚くすることにより断線を防ぐことも考えられるが、この場合、ITO膜の光透過量が減少することから実用的ではない。

本考案はこれ等の課題を解決するものである。

### (二) 課題を解決するための手段

本考案のTFTは、信号ラインの配線部となる多結晶シリコンのドレイン領域(0.8 $\mu$ m厚以上)を残しチャンネル領域及びソース領域を部分的に上記ドレイン領域より薄く形成したものである。



### (ホ) 作用

本考案によれば、TFTのソース領域をITO膜と同程度に薄くすることにより接続部での断線を防ぐことができ、これに伴う製造歩留りの低下を避けることが可能となる。

### (ヘ) 実施例

第1図に本考案のTFTの断面図(第1図平面図のX-X線断面)を示し、以下同図TFTの製

造工程順に構成説明を行なう。

(i) 透明ガラス基板(1)上に、通常のCVD法により $\text{SiO}_2$ 膜(2)を厚さ $0.5\mu\text{m}$ に成膜する。

(ii) 減圧CVD法により、 $\text{SiH}_4$ 反応ガスを用いて成長温度 $630^\circ\text{C}$ にて、厚さ $0.8\mu\text{m}$ 程度の多結晶シリコン膜(3)を成膜する。

(iii) 通常のフォトリソ工程、 $\text{CF}_4$ ガスによるドライエッチング法により多結晶シリコン膜を、信号配線領域となる部分を除いて選択的にエッチングして厚さ $0.1\mu\text{m}$ の多結晶層を形成する。

(iv) ゲート酸化膜の $\text{SiO}_2$ 膜(4)を通常のCVD法により厚さ $1500\text{\AA}$ に成膜する。

(v) ゲート電極となる多結晶シリコン膜(5)を(iii)と同様の方法により厚さ $1000\text{\AA}$ に形成する。

(vi) (iii)と同様の方法により、ゲート電極膜、ゲート酸化膜を選択的にエッチングする。

(vii) イオン注入法により、Pイオンを $1 \times 10^{16} \text{cm}^{-2}$ 、 $40\text{keV}$ の条件で多結晶シリコン膜に注入し、 $600^\circ\text{C}$ 、10時間の活性化熱処理を行な

## 公開実用平成 2-148132

い、ドレイン及びソース領域(3'、3'')を形成する。

(iii) ITO膜(6)を通常のスパッタリング法により厚さ1000Åに成膜した後、所定形状に選択エッチングする。

上述の説明に於ては、TF Tに画像信号を入力する例をドレイン、表示電極(6)に結合する側をソースと称したが、これ等の呼称は、これに限る事なく、例えば逆であってもよい。

### (ト) 考案の効果

本考案のTF Tによれば、配線材料を多結晶シリコン膜に変え、配線形成工程を削減でき、さらに、多結晶シリコン膜の段差に寄因する表示電極膜の断線を実際上皆無とすることが可能となる。

### 4. 図面の簡単な説明

第1図は本考案によるTF Tの断面図、第2図は従来TF Tの断面図、第3図はTF Tアレイの平面図である。

(1)…透明ガラス基板、(2)(4)…SiO<sub>2</sub>膜、



(3)(5)…多結晶シリコン膜、(6)…ITO膜。

出願人 三洋電機株式会社

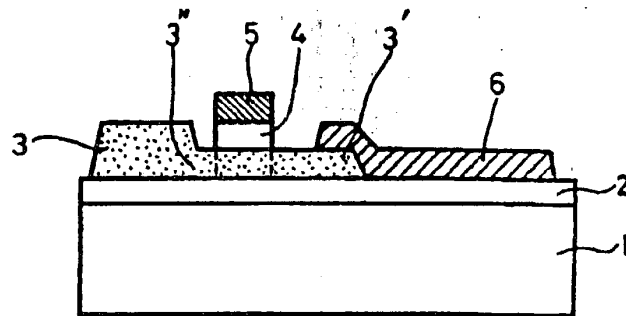
代理人 弁理士 西野卓嗣(外2名)

441

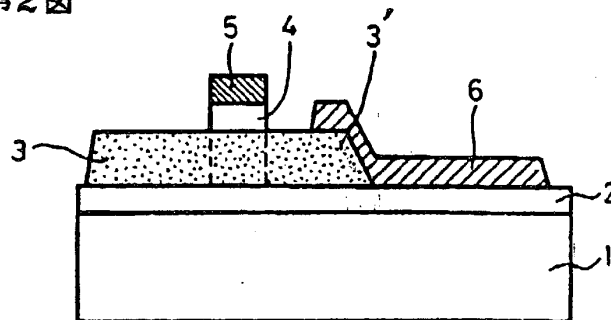
- 7 -

公開実用平成 2-148132

第1図



第2図



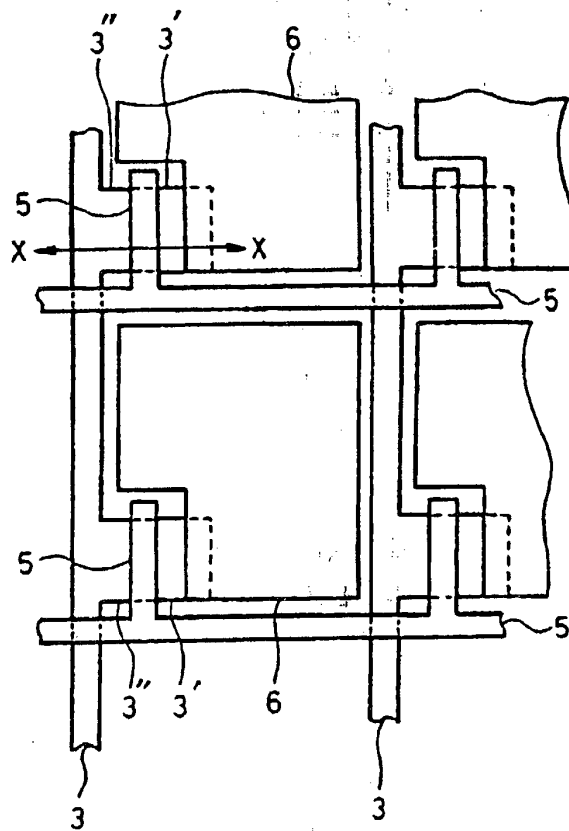
442

出願人 三洋電機株式会社

代理人 弁理士 西野卓爾 (外2名)

実開2-148132

第3圖



443

出願人 三洋電機株式会社

代理人 弁理士 西野卓爾 (外2名)

実開2-148132

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**